

Patent number: DE3735374
 Publication date: 1989-05-03
 Inventor: BAUER HERBERT DIPL ING (DE); NAUERZ ROLF
 DIPL ING (DE)
 Applicant: SIEMENS AG (DE)
 Classification:
 - international: G06F15/336; H03H17/00
 - european: G06F17/15; H04B1/707D
 Application number: DE19873735374 19871019
 Priority number(s): DE19873735374 19871019

[Report a data error here](#)

Abstract of DE3735374

In the digital correlator circuit, which is highly integrated using CMOS gate array technology in chip form, an arriving signal sequence which is stored in an n-stage data input register (7) is compared with a reference signal sequence which is stored in an n-stage reference data register (1), using n multiplier elements (6) and a summation circuit (11) to form a correlation sum. The correlator circuit has as a reference data register, as well as a reference data main register (4), a separately clocked reference data input register (2) for code pattern variation, and as well as the data input register (7), a serially programmable mask register (9), which makes code length adaptation possible, in combination with AND gates (1). Additionally, partial summation circuits (12) for receiving partial correlation sums, and a binary addition network (22) for cascading of several correlator circuits, can be added into the integrated component. The digital correlator circuit according to the invention is suitable for use in correlation receivers with matched filter, particularly spread spectrum message transmission systems.

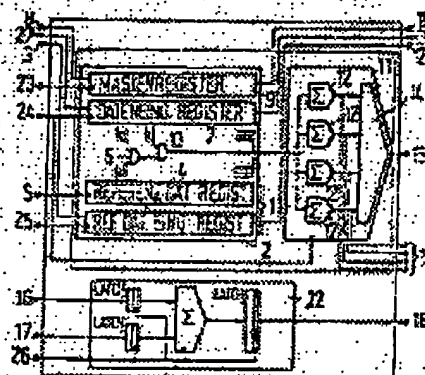


FIG. 4

Data supplied from the [esp@cenet](#) database - Worldwide

① BUNDESREPUBLIK
DEUTSCHLAND



⑫ Offenlegungsschrift
⑪ DE 3735374 A1

Int. Cl. 4:
G 06 F 15/336

H 03 H 17/00
// H04J 13/00,
H04L 27/00

(21) Aktenzeichen: P 37 35 374.8
 (22) Anmeldetag: 19. 10. 87
 (43) Offenlegungstag: 3. 5. 89

DE 37 35 374 A1

⑦ Anmelder:

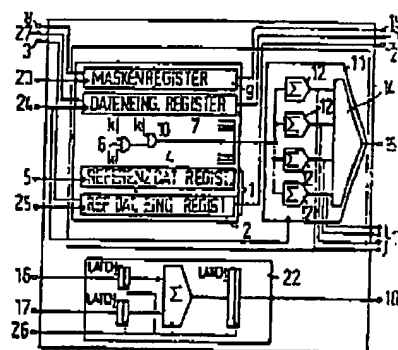
Siemens AG, 1000 Berlin und 8000 München, DE

72 Erfinder:

Bauer, Herbert, Dipl.-Ing., 8011 Zorneding, DE;
Neuerz, Rolf, Dipl.-Ing., 6750 Kaiserslautern, DE

⑤4 Digitale Korrelatorschaltung

Die in C-MOS-Gate Array-Technologie in Bausteinform hochintegrierte, digitale Korrelatorschaltung, in der ein einstufiges, in einem n-stufigen Dateneingaberegister (7) gespeicherter Signalzug mit einem in einem n-stufigen Referenzdatenregister (1) gespeicherten Referenzsignalzug unter Verwendung von n Multipliziergliedern (8) und einer Summierschaltung (11) zur Bildung einer Korrelationssumme verglichen wird, weist als Referenzdatenregister zusätzlich zu einem Referenzdatenhauptregister (4) ein getrennt getaktetes Referenzdateneingaberegister (2) zur Codemustervariation und zusätzlich zum Dateneingaberegister (7) ein seriell programmierbares Maskenregister (9) auf, das in Kombination mit UND-Gattern (10) eine Codelaßanpassung ermöglicht. Zusätzlich lassen sich im integrierten Baustein noch Teilkorrelationssummen (12) zum Zwecke der Abnahme von Teilkorrelationssummen und ein binäres Addiernetzwerk (22) zur Kaskadierung von mehreren Korrelatorschaltungen einbringen. Die digitale Korrelatorschaltung nach der Erfindung ist geeignet zur Anwendung in Korrelationsempfängern mit Matched Filter, insbesondere in Spread-Spectrum-Nachrichtenübertragungssystemen.



OS 37 35 374

1

Beschreibung

Die Erfindung bezieht sich auf eine in elektronischer Baueinheit ausgebildete, digitale Korrelatorschaltung, insbesondere zur Anwendung in Korrelationsprozessoren von mit Bandspreizung (Spread-Spectrum) arbeitenden Nachrichtenübertragungssystemen, mit einem n -stufigen taktgesteuerten Dateneingaberegister, einem ebenfalls n -stufigen taktgesteuerten Referenzdatenregister und einer digitalen, getakteten Summierschaltung mit n Eingängen, an die jeweils über ein Multiplizierglied die Ausgänge der k -ten Stufen ($k=1..n$) der beiden Register angeschlossen sind, und mit einem zugleich den Korrelatorausgang darstellenden Ausgang.

Die Signalkorrelation in Echtzeit und die Filterung mittels eines sogenannten Matched Filters sind in der Nachrichtenübertragungstechnik, in der Meß- und Regeltechnik und in anderen Signalverarbeitungssystemen, in denen es nötig ist, ein gegebenes Datensignal mit einem Referenzsignal zu korrelieren, Schlüsselprozesse geworden. Insbesondere in modernen, mit Bandspreizung (Spread-Spectrum) arbeitenden Nachrichtenübertragungssystemen wird die Korrelationstechnik angewandt, um Probleme der Synchronisation oder der Signalermittlung, sogar in stark gestörten Szenarien, zu lösen.

Korrelationseinrichtungen in Matched Filter-Schaltungen wurden bisher erfolgreich mittels analoger SAW (Surface acoustic wave = akustische Oberflächenwellen) -Einrichtungen realisiert. Es wurden dazu sogenannte angezapfte SAW-Verzögerungsleitungen oder SAW-Convolver verwendet (J.H. Cafarella et al: "Acoustoelectric Convolvers for Programmable Matched Filtering in Spread-Spectrum Systems", in der Zeitschrift Proceedings IEEE, Vol. 64, Nr. 5, Mai 1976, Seiten 756 bis 759). Derartige elektroakustische Komponenten haben heutzutage einen hohen Standard hinsichtlich ihrer technischen Eigenschaften und Verfügbarkeit erreicht. Sie sind jedoch bezüglich häufig wechselnder Codemuster und Codelängen nicht besonders flexibel und sie lassen sich nicht verwenden, wenn zusätzliche Signalverarbeitungsalgorithmen zur Verbesserung des Systemverhaltens ausgeführt werden sollen.

Ein programmierbares digitales Matched Filter, wie es beispielsweise aus dem Beitrag A. Baier: "A Low-Cost Digital Matched Filter for Arbitrary Constant-Envelope Spread-Spectrum Waveforms" in IEEE Trans. Commun., Vol. COM-32, Seiten 354 bis 361, 1984 bekannt ist, kann diese Anforderungen erfüllen. Werden binäre Korrelatoren verwendet, so läßt sich damit ein mit verhältnismäßig geringen Kosten verbundenes Matched Filter-Konzept erreichen, das auch gut zur Anwendung in Spread-Spectrum-Systemen geeignet ist, allerdings unter der Voraussetzung, daß schnelle digitale VLSI-Schaltungen verfügbar sind. Die digitale Ausführung von Spread-Spectrum-Korrelatoren und Matched Filtern wird deshalb umso interessanter, je mehr die Mikroelektronik-Technologie fortschreitet.

Im folgenden sollen die Korrelatortechnologien in SAW-Ausführung einerseits und in Digitalform andererseits in Anwendung bei Spread-Spectrum-Systemen kurz mit ihren Vor- und Nachteilen gegenübergestellt werden. Insbesondere im Falle von Bandbreiten, die über mehrere 10 MHz hinausgehen, und von Zeit-Bandbreitenprodukten im Bereich von mehreren 100 lassen sich SAW-Einrichtungen noch nicht durch digitale Korrelatoren ersetzen. Darüber hinaus gewährt der große Prozeßgewinn von SAW-Korrelatoren in Verbindung

2

mit großen Bandbreiten ein günstiges Verhalten im Falle deterministischer Störsignale, z.B. CW-Signalen. Die Digitalausführung eines Korrelationsprozessors bzw. eines Matched Filters bietet aber demgegenüber eine große Vielfalt an Möglichkeiten beim zunehmenden Einsatz signalverarbeitender Algorithmen. Dieses Verhalten wird durch die volle Programmierbarkeit der digitalen Korrelatoren unterstützt, so daß sich häufig wechselnde Codemuster, Codelängen und Mittenfrequenzen realisieren lassen. Auf digitalen Korrelatoren basierende Matched Filter können auch verwendet werden, um die Durchführung der Übertragung in Spread-Spectrum-Systemen durch Schätzung des einseitigen Signal/Rausch-Verhältnisses zu bestimmen, aber auch bei der Störsignalerkennung ergeben sich aufgrund der Beobachtung von Teilkorrelationsergebnissen gute Möglichkeiten. Darüber hinaus sind störvermindernde Methoden in der digitalen Matched Filter-Technik möglich, indem man im Korrelationsregisterbereich gestörte Datenproben herauszieht oder indem man die Digitalisierer-Schwellwerte störabhängig anpaßt. Die Anwendbarkeit fortgeschrittener Signalverarbeitungstechniken in einem digitalen Matched Filter wird durch die Verwendung von im Handel erhältlichen digitalen Korrelatorschaltungen begrenzt. Diese heute erhältlichen Schaltungen gestatten es dem Erbauer eines digitalen Filters nicht, den intern ablaufenden Korrelationsprozeß zu beobachten oder zu beeinflussen, um das Gesamtverhalten des Matched Filters zu verbessern. Diese Schwierigkeiten können jedoch dadurch ausgeräumt werden, daß der Filtererbauer in die Lage versetzt wird, seine eigene digitale Korrelatorschaltung zu erstellen und diese der gesamten Matched Filter-Anordnung anzupassen. Je mehr er die Architektur der Korrelatorschaltung selbst bestimmen kann, umso mehr ist er in der Lage, fortgeschrittene Ausführungen zu erstellen, mit denen die Signalverarbeitungsalgorithmen verbessert werden. Damit das gesamte digitale Matched Filter kleiner ausgebildet werden kann, wird bei der Planung von digitalen Korrelatorschaltungen eine Hochintegration angestrebt.

Aufgabe der Erfindung ist es, eine ohne einen zeitlich und kostenmäßig extremen Entwicklungsaufwand erstellbare, hochintegrierbare, digitale Korrelatorschaltung anzugeben, die in einem digitalen Matched Filter mit verbesserten Signalverarbeitungsalgorithmen eingesetzt werden kann und insbesondere die Möglichkeit bietet, sowohl eine flexible Codemustervariation zu erreichen, als auch eine Codelängen Anpassung vorzunehmen.

Gemäß der Erfindung, die sich auf eine Korrelatorschaltung der eingangs genannten Art bezieht, wird diese Aufgabe dadurch gelöst, daß die Korrelatorschaltung in hochintegrierter C-MOS-Gate Array-Technologie aufgebaut ist, daß das Referenzdatenregister aus einem n -stufigen getakteten Referenzdateneingaberegister, dem neue Referenzdaten über einen Außenanschluß zugeführt werden, und einem ebenfalls n -stufigen, k -stufenmäßig dem Referenzdateneingaberegister parallel geschalteten Referenzdatenregister zusammengefasst ist, in das aber nur nach einem von einem Außenanschluß zugeführten Übernahmebefehl die im Referenzdateneingaberegister gespeicherten Daten parallel transferiert werden und dessen Stufen jeweils mit einem Eingang eines der Multiplizierglieder verbunden sind, und daß zusätzlich zum Dateneingaberegister ein getrennt getaktetes, seriell über einen Außenanschluß programmierbares, ebenfalls n -stufiges Maskenregister

OS 37 35 374

3

vorgesehen ist, dessen n Stufenausgänge jeweils mit einem Eingang von n UND-Gattern verbunden sind, die jeweils mit ihrem anderen Eingang am Ausgang eines der n Multiplizierglieder liegen, wobei jeweils die k -te Stufe des Maskenregisters dem k -ten Multiplizierglied zugeordnet ist ($k=1..n$).

Bis heute sind digitale Hochgeschwindigkeitskorrelatorschaltungen gewöhnlich als sogenannte "Fullcustom"-Schaltungen ausgeführt worden. Dies ist ein Integrationsverfahren mit extremen Entwicklungszeitdauern und Kosten, und es erfordert eine überaus große Halbleiterkenntnis. Die Gate Array-Technologie, die eine sogenannte Semicustom-Planungstechnologie ist, profitiert von einer strengen Trennung zwischen der logischen Schaltungsplanung und der körperlichen Ausführung im Halbleiterbereich. Nichtsdestoweniger haben jedoch die angefertigten Chips eine hohe Qualität sowie Zuverlässigkeit und erfüllen sogar militärische Vorschriften. Gate Arrays bieten ein minimales Risiko und geringe Kosten bei der Anfertigung der integrierten Schaltung. Der Benutzer kann seine Prototypenerstellung beschleunigen, und die Produktionsplanung kann sicher erfolgen. Zusammengefaßt läßt sich feststellen, daß insbesondere im Bereich großer Gate-Vielfalt (z.B. 10 000 äquivalente Gates), bei Mittenfrequenzen von etwa 50 MHz, und im Falle einer extrem niedrigen zulässigen Verlustleistung (z.B. 1 bis 2 Watt) die C-MOS-Gate-Array-Technologie ein vernünftiger Kompromiß zur Erstellung einer digitalen Korrelatorschaltung ist.

Bei der Korrelatorschaltung nach der Erfindung sorgt das separat getaktete Referenzdateneingaberegister, das zusätzlich zum Referenzdatenhauptregister vorgesehen ist, für die geforderte flexible Codemustervariation. Die Verwendung des seriell programmierbaren Maskenregisters in Kombination mit den UND-Gattern gestattet sowohl die Abschaltung jeder Chip-Position in den n Korrelatorstufen als auch die Anpassung des Korrelators an Codelängen, die kleiner als n Chips sind.

In vorteilhafter Weise weist die digitale, getaktete Summierschaltung mehrere Teilsummierschaltungen auf, in denen vorzugsweise gleich große, aufeinanderfolgende Teilbereiche der über die Multiplizierglieder zusammengeführten Registerausgangssignale addiert werden und die mit Außenanschlüssen verbundene Teilsummenausgänge aufweisen, die außerdem mit den Eingängen einer weiteren Summierschaltung verbunden sind, deren Ausgang an einem Außenanschluß liegt. Es lassen sich dann außer der gesamten Korrelationssumme noch Teilkorrelationssummen an eigenen Außenanschlüssen abnehmen.

In zweckmäßiger Weise ist auf dem Korrelatorbaustein zusätzlich ein getaktetes binäres Addiernetzwerk mit zwei Eingängen und einem Ausgang vorgesehen, wobei die beiden Eingänge und der Ausgang mit Außenanschlüssen verbunden sind. Es lassen sich dann mehrere digitale Korrelatoren seriell kaskadieren, so daß eine Baueinheit mit einer erheblich größeren Codelänge geschaffen wird. Auch eine parallele Kaskadierung von Korrelatorschaltungen ist bei Verwendung des Addiernetzwerkes möglich.

Die Erfindung wird im folgenden anhand von sechs Figuren erläutert. Es zeigen

Fig. 1 die bekannte Schaltung eines nichtkohärenten digitalen Matched-Filter unter Verwendung von vier digitalen Korrelatoren,

Fig. 2 die die vier Korrelatoren enthaltende digitale Korrelationsprozessoreinheit des Matched-Filters nach

4

Fig. 1

Fig. 3 das Blockschaltbild einer bekannten binären Korrelatorschaltung,

Fig. 4 das Funktionsblockschaltbild einer digitalen Korrelatorschaltung nach der Erfindung,

Fig. 5 ein Blockschaltbild, das die serielle Kaskadierung digitaler Korrelatorschaltungen nach Fig. 4 darstellt,

Fig. 6 ein Blockschaltbild, das die parallele Kaskadierung von Korrelatorschaltungen nach Fig. 4 darstellt.

Eine dem Stand der Technik entsprechende Realisierung eines nichtkohärenten digitalen Matched Filters ist in Blockschaltbildform in Fig. 1 dargestellt. Bekannt ist eine derartige Schaltung beispielsweise aus dem bereits genannten Aufsatz von A. Baier. Es handelt sich hierbei um einen im Basisband arbeitenden Quadraturempfänger. Durch einen Quadraturdemodulator, der aus einem Oszillator 28, einem Phasenschieber 29, Mischstufen 30 und 31, Tiefpaßfiltern 32 und 33 besteht, werden zunächst die Quadraturkomponenten $I(t)$ und $Q(t)$ eines Eingangssignals $s(t)$ erzeugt. Die Quadraturkomponenten werden dann mittels Abtastglieder 34 und 35 mit der Abtastrate f_s abgetastet und nach einer Umwandlung in einem Analog-Digitalwandler 36 bzw. 37 einem Korrelator zugeführt. Der Korrelator enthält vier Korrelatorschaltungen 38, 39, 40 und 41, die in Digitaltechnik ausgeführt sind. Die Korrelationsergebnisse werden dann in zwei Summierern 42 und 43 addiert und pro Kanal über jeweils einen Quadrierer 44 bzw. 45 einem Summierer 46 zugeführt. Am Ausgang des Summierers 46 steht das Signal $z(t)$ zur Weiterverarbeitung bereit. Bei der Schaltung nach Fig. 1 handelt es sich somit um ein digitales Vierphasen-Matched Filter.

Fig. 2 zeigt in Blockschaltbildform einen Ausschnitt aus dem digitalen Matched Filter nach Fig. 1, enthaltend die digitale Korrelationsprozessoreinheit. Diese Einheit besteht aus den binären Korrelatorschaltungen 38, 39, 40 und 41 sowie aus den beiden Summierern 42 und 43.

Das prinzipielle Schaltbild einer einzigen der vier Korrelatorschaltungen 38 bis 41 ist in Fig. 3 dargestellt. Prinzipiell bekannt ist eine solche Korrelatorschaltung beispielsweise aus dem Aufsatz von G. L. Turin: "An Introduction to Digital Matched Filters", Proceedings IEEE, Vol. 64, Nr. 7, Juli 1976, Seiten 1092 bis 1112. Das zu korrelierende Eingangssignal $x(i)$ wird hierbei einem Dateneingaberegister 7 zugeführt, welches durch einen Takt clk getaktet wird. In ein Referenzdatenregister 1 werden die Referenzdaten $r(i)$ eingegeben. Das Referenzdatenregister 1 wird mit einem Takt clk_r getaktet. Die beiden Register 7 und 1 weisen jeweils n Stufen auf. Die sich hinsichtlich der Stufennummer $k=1..n$ entsprechenden Stufen der beiden Register 7 und 1 sind jeweils über ein Multiplizierglied 6 miteinander verknüpft. Es sind somit n Multiplizierglieder 6 vorhanden, deren Ausgangssignale einer digitalen Summierschaltung 11 zugeführt werden, die ebenfalls vom Takt clk getaktet wird. Am Ausgang der digitalen Summierschaltung 11 steht das Korrelationssummenergebnis an.

In Fig. 4 ist das Funktionsblockschaltbild einer gemäß der Erfindung ausgebildeten, digitalen Korrelatorschaltung dargestellt. Die heute erreichbaren etwa 7500 äquivalenten Gatterfunktionen eines C-MOS-Semicustom 10 k-Gate Arrays können dazu verwendet werden, eine einzige 128-stufige digitale Korrelatorschaltung gemäß Fig. 4 zu verwirklichen. In diesem Falle ist allerdings nur eine geschätzte Gatterkomplexität von etwa 4500 äquivalenten Gatterfunktionen erforderlich. Mit dem Überschuß von etwa 3000 Gatterfunktionen lassen sich ande-

OS 37 35 374

5

re erforderliche Funktionen auf dem Array realisieren.

Im dargestellten Ausführungsbeispiel beträgt somit die Stufenzahl n (Chipzahl) 128.

Die in Fig. 4 dargestellte, in elektronischer Bausteinform ausgebildete, digitale Korrelatorschaltung weist ein 128stufiges Dateneingaberegister 7 auf, das von einem Außenanschluß 24 getaktet und dem das Eingangssignal von einem Außenanschluß 27 zugeführt wird. Das Dateneingaberegister 7 ist an seinem Ausgang mit einem Außenanschluß 20 verbunden. Die Korrelatorschaltung weist außerdem ein aus einem Referenzdateneingaberegister 2 und einem Referenzdatenhauptregister 4 zusammengesetztes Referenzdatenregister 1 auf, dessen beide Register 2 und 4 genauso wie das Dateneingaberegister 7 jeweils 128 Stufen enthalten. Das Referenzdateneingaberegister 2 wird über einen Außenanschluß 25 getaktet. Sein Eingang ist mit einem Außenanschluß 3 und sein Ausgang mit einem Außenanschluß 21 verbunden. Außerdem enthält die Korrelatorschaltung eine digitale Summierschaltung 11, die vom Außenanschluß 24 her getaktet wird. Der Ausgang der digitalen Summierschaltung 11 ist mit einem Außenanschluß 15 verbunden, an dem das Gesamtkorrelationsergebnis ansteht. Dem Referenzdateneingaberegister 2 werden neue Referenzdaten über den Außenanschluß 3 zugeführt. Das stufenmäßig im Referenzdateneingaberegister 2 parallel geschaltete Referenzdatenhauptregister 4 übernimmt lediglich nach einem von einem Außenanschluß 5 zugeführten Übernahmebefehl die im Referenzdateneingaberegister 2 gespeicherten Daten und zwar in einem Paralleltransfer. Die Stufen des Referenzdatenhauptregisters 4 sind jeweils mit einem Eingang eines Multipliziergliedes 6 verbunden. Der andere Eingang des jeweiligen Multipliziergliedes 6 liegt an der entsprechenden Stufe k des Dateneingaberegisters 7. Zusätzlich zum Dateneingaberegister 7 ist ein getrennt über einen Außenanschluß 23 getaktetes Maskenregister 9 vorgesehen, dessen Stufenzahl n ebenfalls 128 beträgt und dessen Stufenausgänge jeweils mit einem Eingang eines von 128 UND-Gattern 10 verbunden sind. Der andere Eingang dieser UND-Gatter 10 liegt jeweils am Ausgang des den k -ten Stufen zugeordneten Multipliziergliedes 6. Die Ausgänge sämtlicher 128 UND-Gatter 10 sind zusammengefaßt und mit dem Eingang der digitalen Summierschaltung 11 verbunden. Der Eingang des Maskenregisters 9 ist mit einem Außenanschluß 8 und der Ausgang dieses Registers 9 mit einem Außenanschluß 19 verbunden. Die digitale, getaktete Summierschaltung 11 weist vier Teilsummierschaltungen 12 auf, in denen gleich große, aufeinanderfolgende Teilbereiche der über die Multiplizierglieder 6 zusammengeführten Registerausgangssignale addiert werden. Die vier Ausgänge der vier Teilsummierschaltungen 12 sind mit vier Außenanschlüssen 13 verbunden, so daß sich dort jeweils vier 32-stufige Teilkorrelationssummen zusätzlich zur Gesamtkorrelationssumme über alle 128 Stufen am Außenanschluß 15 abnehmen lassen. Dadurch ist die digitale Korrelatorschaltung nach der Erfindung zur Anwendung bei verschiedenen Orthogonalisierungskonzepten geeignet. Die Korrelatorschaltung nach Fig. 4 enthält außerdem zusätzlich ein von einem Außenanschluß 26 getaktetes, binäres Addiernetzwerk 22 mit zwei Eingängen und einem Ausgang. Die beiden Eingänge sind mit zwei Außenanschlüssen 16, 17 und der Ausgang des Addiernetzwerkes 22 ist mit einem Außenanschluß 18 verbunden. Das binäre Addiernetzwerk 22 spielt eine Rolle bei der Kaskadierung mehrerer Korrelatorschaltungen, die im

6

einzelnen noch im Zusammenhang mit den Fig. 5 und 6 beschrieben wird. Vorausgeschickt sei, daß sich theoretisch bis zu 16 digitale Korrelatorschaltungen seriell kaskadieren lassen, um eine einzige Korrelatorschaltung zu erzeugen, die eine Gesamtcodelänge von 2048 Stufen aufweist. Hierbei werden keine externen Schaltungen zusätzlich benutzt. Die Anwendung des getrennt getakteten Referenzdateneingaberegisters 2 zusätzlich zum Referenzdatenhauptregister 4 sorgt für die geforderte flexible Codemustervariation. Es wird eine serielle Eingabe eines neuen Referenzcodes erreicht, ohne daß der laufende Korrelationsprozeß, der auf einem vorher eingespeicherten Referenzcode beruht, gestört wird. Das am Außenanschluß 5 zugeführte Übernahmebefehl steuert den Paralleltransfer vom Referenzdateneingaberegister 2 in das Referenzdatenhauptregister 4. Die Verwendung des seriell programmierbaren Maskenregisters 9 in Kombination mit den davon betätigten UND-Gattern 10 gestattet sowohl das Abschalten jeder Chip-Position der 128 Korrelatorstufen als auch die Anpassung der Korrelatorschaltung an Codelängen, die kleiner als 128 Chips sind. Dieser Vorgang erfolgt durch einfaches Einsetzen einer seriellen Sequenz von 128 Chips in das Maskenregister 9.

Die Außenanschlüsse 19, 20 und 21 des Maskenregisters 9, des Dateneingaberegisters 7 bzw. des Referenzdateneingaberegisters 2 garantieren eine vollständige Kaskadierungsfähigkeit der Korrelatorschaltung. Die Serienschaltung von Korrelatorschaltungen gemäß Fig. 5 gestattet Korrelationslängen, die mehr als 128 Stufen betragen. Im in Fig. 5 dargestellten Beispiel sind drei digitale Korrelatorschaltungen 47, 48 und 49 seriell kaskadiert und mit ihren Ausgängen an ein binäres Addiernetzwerk 50 geschaltet. Die Gesamtstufenzahl beträgt somit 384. Der Gesamtkorrelationsausgang ist mit 59 bezeichnet.

Eine parallele Kaskadierung binärer Korrelatorschaltungen, wie sie in Fig. 6 dargestellt ist, läßt sich für Verarbeitungsdaten und/oder Referenzsignale verwenden, die feiner als binär quantisiert sind. Dadurch läßt sich eine Multibit-Korrelation, wie sie in Fig. 6 dargestellt ist, durchführen. Das Ausführungsbeispiel nach Fig. 6 enthält drei Korrelatorschaltungen 51, 52 und 53, deren Ausgangssignale jeweils über ein Wichtungsnetzwerk 54, 55 bzw. 56 einem Addiernetzwerk 57 zugeführt werden. Der Ausgangsanschluß des Addiernetzwerkes 57 ist mit 58 bezeichnet.

Das serielle Kaskadieren erfordert genauso wie das parallele Kaskadieren an sich prinzipiell zusätzliche externe binäre Addiernetzwerke zum Wichten und/oder Summieren der binären Ausgangssignale der Digitalkorrelatoren. Ein korrelatorunabhängiges binäres Addiernetzwerk, das in dem die Korrelatorschaltung enthaltenden Gate Array-Baustein mit eingeschlossen ist, gestattet ein Kaskadieren von Korrelatorschaltungen frei von externen Schaltungen.

Patentansprüche

1. In elektronischer Bausteinform ausgebildete, digitale Korrelatorschaltung, insbesondere zur Anwendung in Korrelationsprozessoren von mit Bandbreite (Spread-Spectrum) arbeitenden Nachrichtenübertragungssystemen, mit einem n -stufigen taktgesteuerten Dateneingaberegister, einem ebenfalls n -stufigen taktgesteuerten Referenzdatenregister und einer digitalen, getakteten Summierschaltung mit n Eingängen, an die jeweils

OS 37 35 374

7

über ein Multiplizierglied die Ausgänge der k -ten Stufen ($k=1..n$) der beiden Register angeschlossen sind, und mit einem zugleich den Korrelatorausgang darstellenden Ausgang, dadurch gekennzeichnet, daß die Korrelatorschaltung in hochintegrierter C-MOS-Gate-Array-Technologie aufgebaut ist, daß das Referenzdatenregister (1) aus einem n -stufigen getakteten Referenzdateneingaberegister (2), dem neue Referenzdaten über einen Außenanschluß (3) zugeführt werden, und einem ebenfalls n -stufigen, k -stufenmäßig dem Referenzdateneingaberegister parallel geschalteten Referenzdatenhauptregister (4) zusammengesetzt ist, in das aber nur nach einem von einem Außenanschluß (5) zugeführten Übernahmebefehl die im Referenzdateneingaberegister (2) gespeicherten Daten parallel transferiert werden und dessen Stufen jeweils mit einem Eingang eines der Multiplizierglieder (6) verbunden sind, und daß zusätzlich zum Dateneingaberegister (7) ein getrennt getaktetes, seriell über einen Außenanschluß (8) programmierbares, ebenfalls n -stufiges Maskenregister (9) vorgesehen ist, dessen n Stufenausgänge jeweils mit einem Eingang von n UND-Gattern (10) verbunden sind, die jeweils mit ihrem anderen Eingang am Ausgang eines der n Multiplizierglieder (6) liegen, wobei jeweils die k -te Stufe des Maskenregisters (9) dem k -ten Multiplizierglied (6) zugeordnet ist ($k=1..n$).

2. Korrelatorschaltung nach Anspruch 1, dadurch gekennzeichnet, daß die digitale, getaktete Summierschaltung (11) mehrere Teilsummierschaltungen (12) aufweist, in denen vorzugsweise gleich große, aufeinander folgende Teilbereiche der über die Multiplizierglieder (6) verknüpften Registerausgangssignale addiert werden und die mit Außenanschlüssen (13) verbundene Teilsummenausgänge aufweisen, die außerdem mit den Eingängen einer weiteren Summierschaltung (14) verbunden sind, deren Ausgang an einem Außenanschluß (15) liegt.

3. Korrelatorschaltung nach Anspruch 2, dadurch gekennzeichnet, daß vier Teilsummierschaltungen (12) vorgesehen sind.

4. Korrelatorschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Stufenzahl n 128 beträgt.

5. Korrelatorschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß auf dem Baustein zusätzlich ein getaktetes binäres Addiernetzwerk (22) mit zwei Eingängen und einem Ausgang vorgesehen ist und daß die beiden Eingänge und der Ausgang mit Außenanschlüssen (16, 17, 18) verbunden sind.

6. Korrelatorschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß jeweils der Eingang und der Ausgang des Maskenregisters (9), des Dateneingaberegisters (7) und des Referenzdateneingaberegisters (2) mit Außenanschlüssen (8, 27, 3 und 19, 20, 21) verbunden sind.

7. Korrelatorschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß für die Zuführung der Taktsignale an das Maskenregister (9), das Dateneingaberegister (7), das Referenzdateneingaberegister (2), die Summierschaltung (11) und das Addiernetzwerk (22) Außenanschlüsse (23, 24, 25, 26) vorgesehen sind, die zum Teil zusammengefaßt sein können.

8. Korrelatorschaltung nach einem der vorherge-

8

henden Ansprüche, gekennzeichnet durch eine serielle oder parallele Kaskadierung mehrerer solcher Korrelatorschaltungen.

Fig. 1: 13: 14

Nummer:

Int. Cl.4:

Anmeldetag:

Offenlegungstag:

87 P 8 1 11 DE

37 35 374

G 06 F 15/336

19. Oktober 1987

3. Mai 1989

3

3735374

1/2

FIG 1

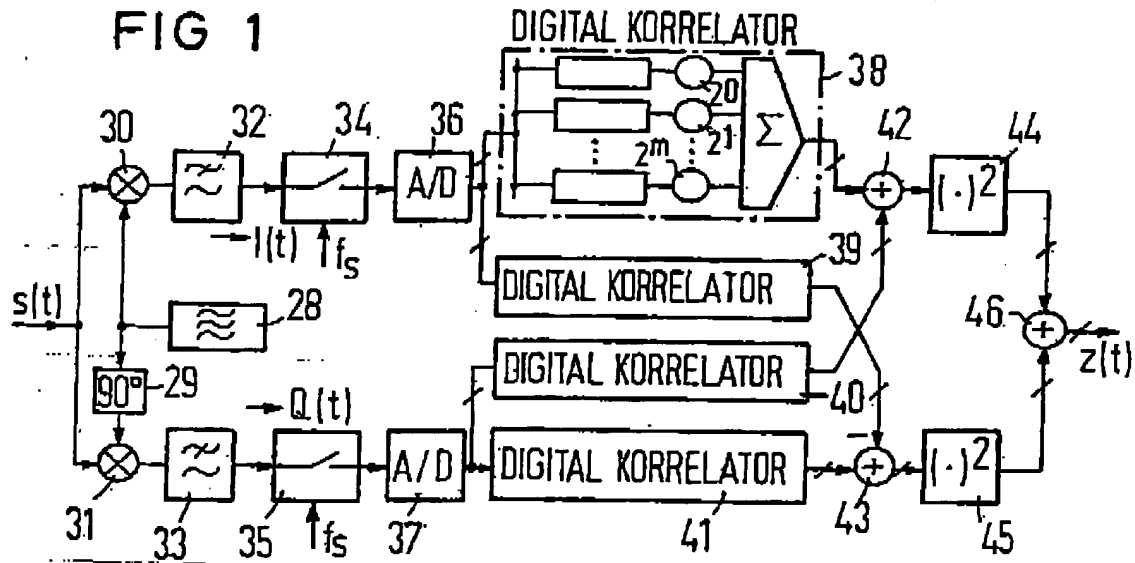
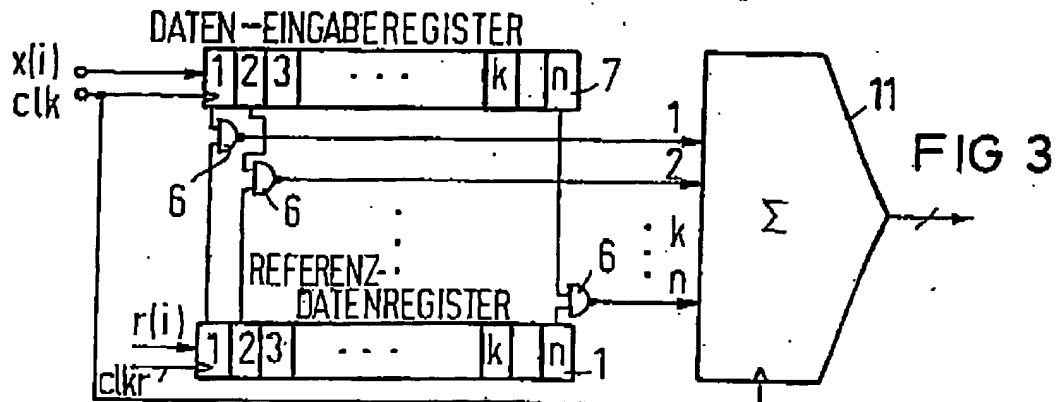
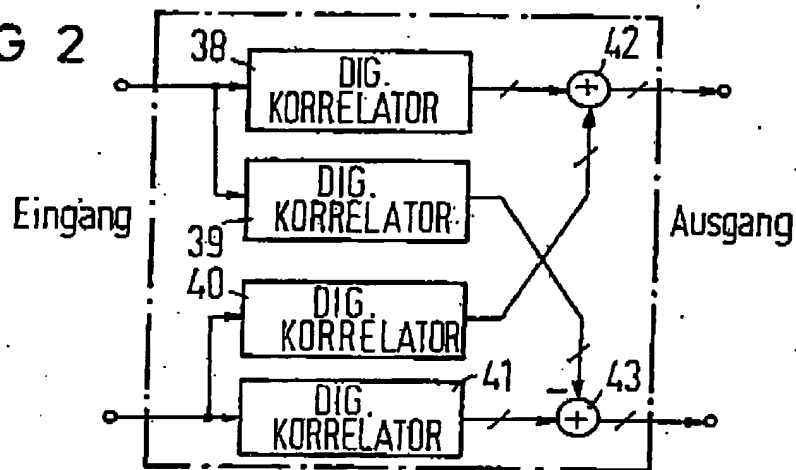


FIG 2



908 810/125

Fig. 14

14

3735374

2/2

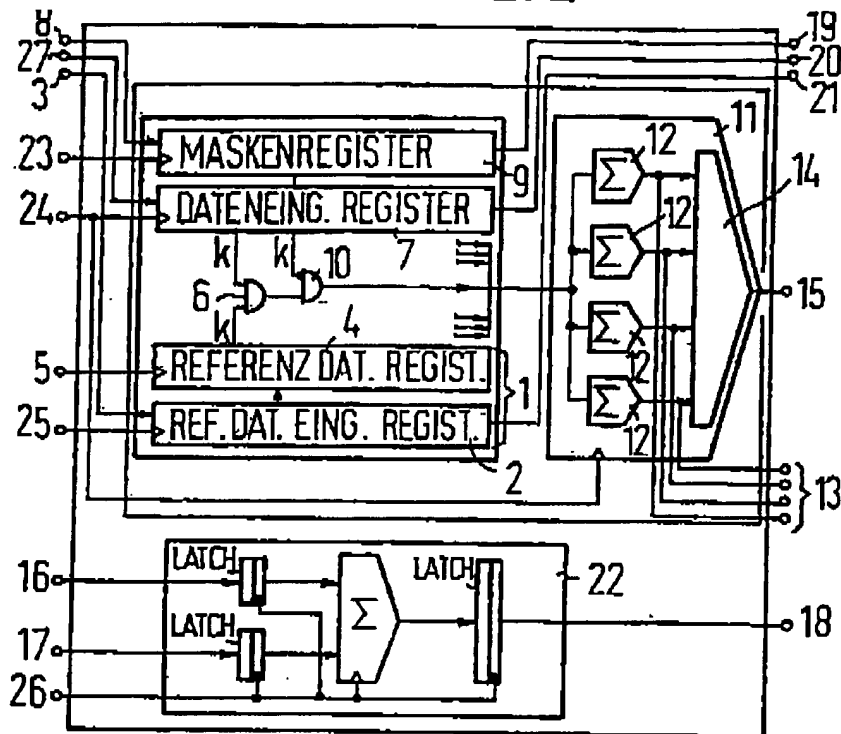


FIG 4

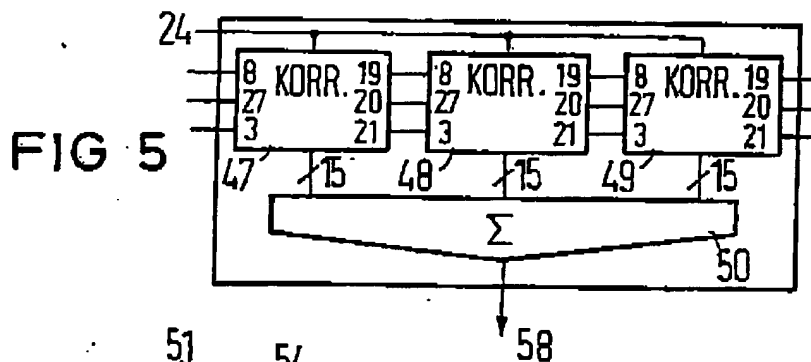


FIG 5

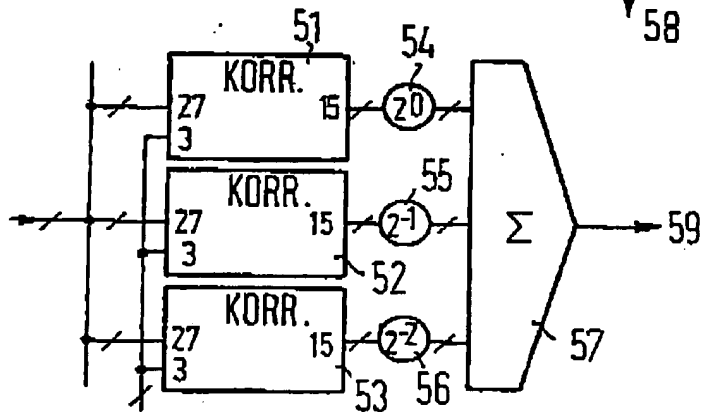


FIG 6

- Leerseite -